

特許協力条約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）
〔PCT36条及びPCT規則70〕

REC'D 10 MAR 2006	
WIPO REG'D	PCT
WIPO	PCT

出願人又は代理人 の書類記号 IDEAL0035	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/J P 2004/015934	国際出願日 (日.月.年) 27.10.2004	優先日 (日.月.年) 29.10.2003
国際特許分類 (IPC) Int.Cl. H01L21/8238 (2006.01), H01L21/8242 (2006.01), H01L27/08 (2006.01), H01L27/092 (2006.01), H01L27/108 (2006.01), H01L29/06 (2006.01), H01L29/786 (2006.01)		
出願人 (氏名又は名称) 株式会社イデアルスター		

1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第57条（PCT36条）の規定に従い送付する。	
2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。	
3. この報告には次の附属物件も添付されている。	
a. <input checked="" type="checkbox"/> 附属書類は全部で 4 ページである。	
<input checked="" type="checkbox"/> 補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙（PCT規則70.16及び実施細則第607号参照）	
<input type="checkbox"/> 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙	
b. <input type="checkbox"/> 電子媒体は全部で (電子媒体の種類、数を示す)。 配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。 (実施細則第802号参照)	
4. この国際予備審査報告は、次の内容を含む。	
<input checked="" type="checkbox"/> 第I欄 国際予備審査報告の基礎	
<input type="checkbox"/> 第II欄 優先権	
<input type="checkbox"/> 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成	
<input checked="" type="checkbox"/> 第IV欄 発明の単一性の欠如	
<input checked="" type="checkbox"/> 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明	
<input type="checkbox"/> 第VI欄 ある種の引用文献	
<input type="checkbox"/> 第VII欄 国際出願の不備	
<input type="checkbox"/> 第VIII欄 国際出願に対する意見	

国際予備審査の請求書を受理した日 26.08.2005	国際予備審査報告を作成した日 20.02.2006	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 正山 旭	4M 9276
	電話番号 03-3581-1101 内線 3462	

様式PCT/IPEA/409 (表紙) (2005年4月)

BEST AVAILABLE COPY

第I欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願
☐ 出願時の言語から次の目的のための言語である _____ 語に翻訳された、この国際出願の翻訳文
☐ 国際調査 (PCT規則12.3(a)及び23.1(b))
☐ 国際公開 (PCT規則12.4(a))
☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1-4, 7-39 _____ ページ、出願時に提出されたもの
 第 5, 6, 6/1 _____ ページ*, 26.08.2005 付けで国際予備審査機関が受理したもの
 第 _____ ページ*, _____ 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 2-6, 8-10 _____ 項、出願時に提出されたもの
 第 _____ 項*, PCT19条の規定に基づき補正されたもの
 第 1, 7, 11-13 _____ 項*, 26.08.2005 付けで国際予備審査機関が受理したもの
 第 _____ 項*, _____ 付けで国際予備審査機関が受理したもの

☒ 図面

第 1-28 _____ ページ/図、出願時に提出されたもの
 第 _____ ページ/図*, _____ 付けで国際予備審査機関が受理したもの
 第 _____ ページ/図*, _____ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 第 _____ ページ/図
☐ 配列表 (具体的に記載すること) _____
☐ 配列表に関連するテーブル (具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 第 _____ ページ/図
☐ 配列表 (具体的に記載すること) _____
☐ 配列表に関連するテーブル (具体的に記載すること) _____

* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

第IV欄 発明の単一性の欠如

1. ☐ 請求の範囲の減縮又は追加手数料の納付命令書に対して、出願人は、規定期間内に、
- ☐ 請求の範囲を減縮した。
 - ☐ 追加手数料を納付した。
 - ☐ 追加手数料及び、該当する場合には、異議申立手数料の納付と共に、異議を申し立てた。
 - ☐ 追加手数料の納付と共に異議を申し立てたが、規定の異議申立手数料を支払わなかった。
 - ☐ 請求の範囲の減縮も、追加手数料の納付もなかった。
2. ☒ 国際予備審査機関は、次の理由により発明の単一性の要件を満たしていないと判断したが、PCT規則68.1の規定に従い、請求の範囲の減縮及び追加手数料の納付を出願人に求めないこととした。
3. 国際予備審査機関は、PCT規則 13.1、13.2 及び 13.3 に規定する発明の単一性を次のように判断する。

☐ 満足する。

☒ 以下の理由により満足しない。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲 1-10 に記載されている一群の発明は、複数の「線状体」という事項でのみ連関していると認めるが、この事項は、JP 9-266315 A(株式会社東芝)1997.10.07(特に、第3図-第17図及び図面説明箇所)、JP 2000-294743 A(松下電子工業株式会社)2000.10.20(特に、第26図-第43図及び図面説明箇所)、WO 1999/000695 A(GL DISPLAYS, INC.)1999.01.07(特に、第1図-第8図及び図面説明箇所)及び WO 2002/091490 A(IBM CORPORATION)2002.11.14(特に、第1図、第7図及び図面説明箇所)に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲 1-12 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しないこととなる。そのため、請求の範囲 1-12 に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

そして、請求の範囲に記載されている発明の特定の態様から、この国際出願の請求の範囲 1-10 には、請求の範囲 1-6、11-13 と、請求の範囲 7-10 と、に区分される2個の発明が記載されていると認める。

4. したがって、国際出願の次の部分について、この報告を作成した。

☒ すべての部分

☐ 請求の範囲 _____ に関する部分

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、
それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲		有
	請求の範囲	1-13	無
進歩性 (IS)	請求の範囲		有
	請求の範囲	1-13	無
産業上の利用可能性 (IA)	請求の範囲	1-13	有
	請求の範囲		無

2. 文献及び説明 (PCT規則 70.7)

文献1 : JP 2003-174171 A(シャープ株式会社)2003.06.20
 文献2 : WO 1999/000695 A1(GL DISPLAYS, INC.)1999.01.07
 文献3 : WO 2002/091490 A1(IBM CORPORATION)2002.11.14
 文献4 : JP 10-91097 A(株式会社東芝)1998.04.10
 文献5 : JP 9-266315 A(株式会社東芝)1997.10.07
 文献6 : JP 9-203910 A(株式会社日立製作所)1997.08.05

請求の範囲1-6、11-13に係る発明については、文献1から新規性・進歩性、文献1-6から進歩性を有さない。文献1の、第26図-第43図には、断面内にMISFETを含む線状体で相補型MISFETが記載されている。

また、文献1の段落【0151】には、導電性高分子である導電性樹脂を配線に用いる示唆があり、文献3には、線状体の中心を導電性高分子で構成していることから、文献1の、線状体の導電性材料として、文献1、3に記載の、導電性高分子を用いることは容易である。

そして、新たに増加された請求項11-13の、押し出し形成又は延伸形成の技術についても、文献3(特に、第7頁第14行、第24行、第16頁第12行の「extrusion」)に記載されている。

請求の範囲7-10に係る発明については、文献1-6から新規性・進歩性を有しない。文献1の、第26図-第43図、文献2の、第6図A-第6図C、文献3の、第12頁第11行-同頁第22行、第7図、第11図、第13図、第14図、文献4の、第1図、文献5の、第3図-第17図、及び、文献6の、段落【0090】-【0099】、第1図-第7図には、線状体の断面に形成された複数の回路素子が線状体の長手方向に形成されていることが記載されている。

また、文献1の段落【0001】には、半導体メモリなどの応用例、文献1及び文献3には導電性高分子に関する材料が、それぞれ記載されていることから、文献1-6の線状体において、文献1に記載の応用例、及び、文献1及び文献3に記載の導電性高分子を適用することに、格別な困難性は見あたらない。

れ、N 型 MISFET は、P ウェル領域 502 上に形成される。N ウェル領域 503 と P ウェル領域 502 は絶縁性のトレンチ分離領域 504 で電氣的に分離されている。構造的に寄生サイリスターが形成されないので、集積度を向上してもラッチアップは発生しないが、図 28(a) に示す構造の相補型 MISFET を形成するバルク基板に比べ、SOI 基板は高価であり、またトレンチ分離領域 504 の製造工程が複雑であるという問題があった。

[0018] (従来の集積回路の問題点)

従来の集積回路は、シリコン基板などリジッドで平面状の基板に形成されていた。そのため、形状に柔軟性がなく、応用が限定されるという問題があった。

また、複数の回路素子を連続した基板上に形成しているため、少なくとも一個の回路素子が不良になれば、不良部分だけ良品と交換することができず、装置全体が不良になる。そのため、すべての回路素子を欠陥なく製造するために、プロセスのクリーン度向上などプロセス管理を極めて厳密に行う必要があり、特に、装置を大型化しようとする、歩留まり向上の難しさが加速的に増加するという問題があった。

さらに、素子を配置する領域が平面基板の二次元領域に限定されるため、集積度を飛躍的に大きくすることができないという問題があった。

課題を解決するための手段

[0019] 本発明 (1) は、断面内に N 型の MISFET を含む第一の線状体と、断面内に P 型の MISFET を含む第二の線状体からなり、第一の線状体と第二の線状体との間に分離領域を配置した相補型 MISFET である。

[0020] 本発明 (2) は、前記 MISFET を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている、前記発明 (1) の相補型 MISFET である。

[0021] 本発明 (3) は、前記線状体、及び/又は、前記分離領域を有機半導体又は導電性高分子からなる材料により形成した、前記発明 (1) 又は前記発明 (2) の相補型 MISFET である。

[0022] 本発明 (4) は、前記発明 (1) 乃至前記発明 (3) の相補型 MISFET からなる集積回路である。

[0023] 本発明 (5) は、複数の前記線状体の間に絶縁性材料を塗布する又は蒸着することにより前記分離領域を形成する、前記発明 (1) 乃至前記発明 (3) の相補型 MISFET

の製造方法である。

[0024] 本発明（６）は、前記線状体の表面に絶縁膜を形成することにより前記分離領域を形成する、前記発明（１）乃至前記発明（３）の相補型 MISFET の製造方法である。

[0025] 本発明（７）は、線状体の断面内に形成された回路素子を構成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている複数の前記線状体からなる集積回路である。

[0026] 本発明（８）は、前記集積回路が、半導体メモリー、イメージセンサー、又は、PLA である、前記発明（７）の集積回路である。

[0027] 本発明（９）は、前記線状体を有機半導体又は導電性高分子からなる材料により形成した、前記発明（７）又は前記発明（８）の集積回路である。

[0028] 本発明（１０）は、前記線状体の断面形状が、円形、多角形、星型、三日月、花卉、文字形状、その他の任意形状を有している、前記発明（４）又は前記発明（７）乃至前記発明（９）の集積回路である。

本発明（１１）は、前記線状体が、押出し形成又は延伸形成により形成した線状体であることを特徴とする請求項１乃至３のいずれか１項記載の相補型 MISFET である。

本発明（１２）は、前記線状体が、押出し形成又は延伸形成により形成した線状体であることを特徴とする請求項４又は７乃至１０のいずれか１項記載の集積回路である。

本発明（１３）は、前記線状体が、押出し形成又は延伸形成により形成した線状体であることを特徴とする請求項５又は６のいずれか１項記載の相補型 MISFET の製造方法である。

発明の効果

[0029] （１）N 型 MISFET を含む線状体と P 型 MISFET を含む線状体を電氣的に分離して相補型 MISFET を形成することにより、ラッチアップの発生を防止できる。

（２）相補型 MISFET 又は集積回路を構成する導電性領域、半導体領域、及び/又は、絶縁体領域を有機半導体又は導電性高分子からなる材料により形成することにより、材料コストの低減や製造プロセスの単純化などにより製造コストの低減に効果がある。

（３）絶縁性材料を塗布する又は蒸着するだけで、線状体を電氣的に分離できるので、簡単なプロセスで素子分離を行うことができる。

（４）回路素子を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成された構造であるため、押出し形成や延伸形成により、複数の領域を有する線状素子を簡単なプロセスで製造するこ

とができる。

(5) 線状体を織る、あるいは編むことにより作製した平面状の集積回路は、柔軟性があり薄くて軽いため、薄型機器や携帯機器などに用いる電子装置として多様な用途がある。

請求の範囲

- [1] (補正後) 断面内に N 型の MISFET を含む第一の線状体と、断面内に P 型の MISFET を含む第二の線状体からなり、第一の線状体と第二の線状体との間に分離領域を配置した相補型 MISFET。
- [2] 前記 MISFET を形成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている、請求項 1 記載の相補型 MISFET。
- [3] 前記線状体、及び/又は、前記分離領域を有機半導体又は導電性高分子からなる材料により形成した、請求項 1 又は 2 のいずれか 1 項記載の相補型 MISFET。
- [4] 請求項 1 乃至 3 のいずれか 1 項記載の相補型 MISFET からなる集積回路。
- [5] 複数の前記線状体の間に絶縁性材料を塗布する又は蒸着することにより前記分離領域を形成する、請求項 1 乃至 3 のいずれか 1 項記載の相補型 MISFET の製造方法。
- [6] 前記線状体の表面に絶縁膜を形成することにより前記分離領域を形成する、請求項 1 乃至 3 のいずれか 1 項記載の相補型 MISFET の製造方法。
- [7] (補正後) 線状体の断面内に形成された回路素子を構成する複数の領域を有する断面が長手方向に連続的又は間欠的に形成されている複数の前記線状体からなる集積回路。
- [8] 前記集積回路が、半導体メモリー、イメージセンサー、又は、PLA である、請求項 7 記載の集積回路。
- [9] 前記線状体を有機半導体又は導電性高分子からなる材料により形成した、請求項 7 又は 8 のいずれか 1 項記載の集積回路。
- [10] 前記線状体の断面形状が、円形、多角形、星型、三日月、花卉、文字形状、その他の任意形状を有している、請求項 4 又は 7 乃至 9 のいずれか 1 項記載の集積回路。
- [11] (追加) 前記線状体が、押出し形成又は延伸形成により形成した線状体であることを特徴とする請求項 1 乃至 3 のいずれか 1 項記載の相補型 MISFET。
- [12] (追加) 前記線状体が、押出し形成又は延伸形成により形成した線状体であることを特徴とする請求項 4 又は 7 乃至 10 のいずれか 1 項記載の集積回路。
- [13] (追加) 前記線状体が、押出し形成又は延伸形成により形成した線状体であることを特徴とする請求項 5 又は 6 のいずれか 1 項記載の相補型 MISFET の製造方法。